

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-141876
 (43)Date of publication of application : 16.05.2003

(51)Int.Cl. G11C 11/407
 G11C 11/401

(21)Application number : 2001-336340 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

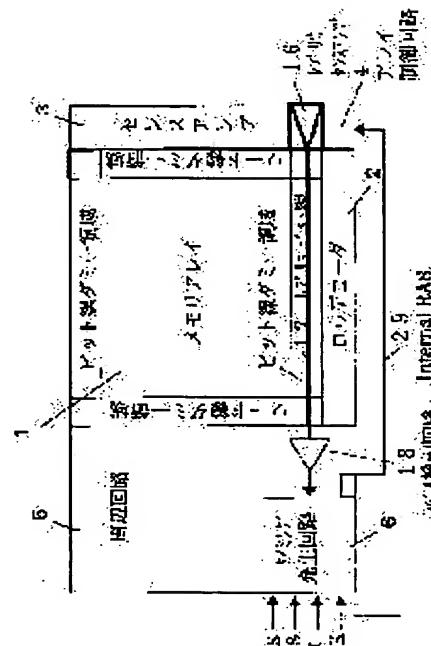
(22)Date of filing : 01.11.2001 (72)Inventor : KIKUKAWA HIROHITO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent remarkable degradation of operation performance caused by occurrence of mismatching between internal timing generation and external specifications in rewriting operation for a memory cell and bit line pre-charge operation and occurrence of reduction of yield caused by variation or the like of a process, in DRAM internal non-synchronous operation.

SOLUTION: Operation timing of a row decoder driving a word line and a sense amplifier detecting and amplifying a level of a bit line is generated by using a circuit for delay being equal to a bit line amplification delay. A replica bit line 17 which is formed simultaneously with a normal bit line in a memory cell array part 1, intersected with the same number of word lines as in the case of normal bit lines, and to which the same number of memory cells are connected is used as a load element of the delay circuit, and a replica sense amplifier 16 being similar to a normal sense amplifier is used as a driver driving the load element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-141876

(P2003-141876A)

(43)公開日 平成15年5月16日 (2003.5.16)

(51)Int.Cl.⁷

G 1 1 C 11/407
11/401

識別記号

F I

G 1 1 C 11/34

テマコード(参考)

3 5 4 C 5 M 0 2 4
3 6 2 H

審査請求 未請求 請求項の数12 O.L. (全 16 頁)

(21)出願番号 特願2001-336340(P2001-336340)

(22)出願日 平成13年11月1日 (2001.11.1)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 菊川 博仁

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

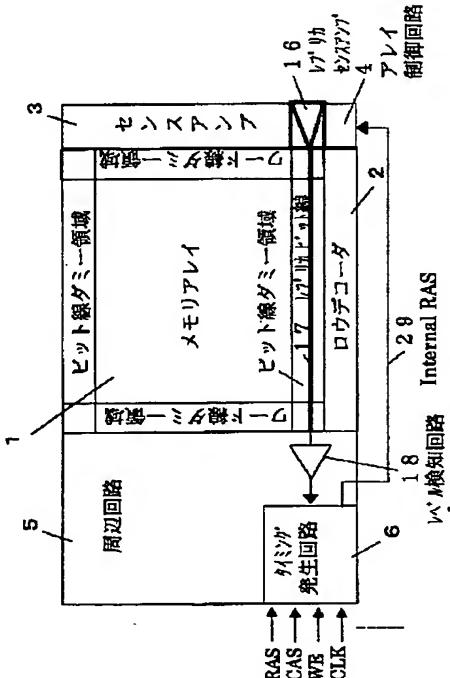
F ターム(参考) 5M024 AA41 AA93 BB27 BB35 BB36
CC70 CC90 DD85 DD90 GG01
HH09 HH11 LL01 PP01 PP02
PP03 PP07

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 DRAM内部非同期動作において、メモリセルへの再書き込み動作やビット線プリチャージ動作などに内部タイミング発生と外部仕様との不整合が生じ、動作性能の大幅ダウンや、プロセスばらつきなどによる歩留り低下が起こるのを防ぐ。

【解決手段】 ワード線を駆動するロウデコーダとビット線のレベルを検知増幅するセンスアンプの動作タイミングを、ビット線増幅遅延と同等の遅延回路を用いて生成する。遅延回路の負荷素子として、メモリセルアレイ部1に通常のビット線とともに形成され、通常のビット線の場合と同数のワード線と交差し、かつ同数のメモリセルが接続されたレプリカビット線17を用い、負荷素子を駆動するドライバとして、通常のセンスアンプと同様なレプリカセンスアンプ16を用いる。



【特許請求の範囲】

【請求項1】 複数のワード線と、複数のビット線を含むメモリセルアレイと、前記ワード線を駆動するロウデコーダと、前記ビット線のレベルを検知増幅するセンスアンプと、前記ロウデコーダおよび前記センスアンプの動作タイミングを制御するタイミング発生回路とを備え、前記タイミング発生回路はビット線増幅遅延と同等の遅延回路を有することを特徴とする半導体記憶装置。

【請求項2】 前記タイミング発生回路は、外部制御信号が入力される組合せ論理回路の出力に応答して動作することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記遅延回路は、ビット線及び他のセンスアンプ動作に係る負荷と等価な負荷素子及びその負荷素子を駆動するドライバを有することを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 前記遅延回路の負荷素子として、前記メモリセルアレイ部に形成されたレプリカビット線を用いることを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 前記レプリカビット線は、前記ビット線と同時に形成され、前記ビット線の場合と同数のワード線と交差し、かつ同数のメモリセルが接続されることを特徴とする請求項4記載の半導体記憶装置。

【請求項6】 前記レプリカビット線を駆動するドライバとして、通常のセンスアンプと同様に形成されたレプリカセンスアンプを用いることを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 前記レプリカビット線は、メモリセル形成マージンやメモリセルアレイとその周辺回路との段差を緩和するダミーメモリセルアレイ領域に形成されるものであることを特徴とする請求項5記載の半導体記憶装置。

【請求項8】 前記レプリカビット線のレベルを検知して前記ロウデコーダおよび前記センスアンプの動作タイミングを制御するためのレベル検知回路をさらに備え、前記レベル検知回路は、スレッシュホールド電圧を高く設定したインバータであることを特徴とする請求項4記載の半導体記憶装置。

【請求項9】 前記スレッシュホールド電圧をメモリセル書き込み電圧の85%以上に設定することを特徴とする請求項8記載の半導体記憶装置。

【請求項10】 前記レプリカビット線のレベルを検知して前記ロウデコーダおよび前記センスアンプの動作タイミングを制御するためのレベル検知回路をさらに備え、前記レベル検知回路は、前記レプリカビット線の出力とリファレンス電圧が入力する差動増幅回路を有することを特徴とする請求項4記載の半導体記憶装置。

【請求項11】 前記レベル検知回路は、負荷素子として複数のレプリカビット線を用い、リファレンス電圧を下げてレベル検知することを特徴とする請求項10記載の半導体記憶装置。

【請求項12】 前記メモリセルアレイを複数有し、前記タイミング発生回路を各メモリセルアレイ毎に設け、各メモリセルアレイ毎にタイミングを設定することを特徴とする請求項4記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特にダイナミックランダムアクセスメモリ（以下DRAMと記す）の動作性能の高性能化や動作安定化に関するものである。

【0002】

【従来の技術】近年、IT技術の進展に伴い、PCやWSなどのコンピュータや、携帯電話、PDAなどの携帯機器、そしてDVD、DTVに代表されるデジタル民生機器など様々な分野でDRAMが使用されている。また低消費電力やデータ転送レート向上を目指し、DRAM自体をロジック回路やアナログ回路と同一チップ上に混載した大規模集積回路、いわゆるシステムLSIが開発されている。このようにアプリケーションが広範囲になるにつれ、これまでDRAMの仕様がPCベースの統一的な仕様から、高性能化や高機能化を目指し、様々な仕様が提案されている。特に混載DRAMにおいては、ロジック性能を最大限に引き出すDRAM仕様というものが設定されている。例えば、汎用DRAMでの仕様である、EDODRAM仕様、シンクロナスDRAM仕様からSRAMインターフェース的な仕様まで多種多様である。この混載用DRAMコアの仕様の構成例として、例えば、ISSCC Digest of Technical Papers, pp. 384-385, Feb., 2001に示されたものがある。

【0003】図10は、このような従来のDRAMコアで用いられるタイミング発生回路の一例を示したものである。7は組合せ論理回路、8はRCにより信号を遅延させるRC型遅延回路、9はインバータと容量のチェーンより信号を遅延させるインバータチェーン型遅延回路、10は、RC型遅延回路8とインバータチェーン型遅延回路9からなりモードやタイミングなどで遅延バスを切替えて遅延特性を変える組合せ遅延回路である。これらの遅延回路で遅延させられた信号は、ドライバを含む送信回路11により周辺回路内の制御信号発生回路やメモリセルアレイ部にあるアレイ制御回路等に内部制御信号として送信される。

【0004】以上のように構成された従来のDRAMコアにおいては、外部制御信号等が入力し、まずタイミング発生回路内の組合せ論理回路7でDRAM制御に必要な信号のベースとなる信号が発生され、この信号を制御対象となる回路の特性に合わせて、RC型遅延回路8とインバータチェーン型遅延回路9、組合せ遅延回路10などにより設定されたタイミングで遅延させて内部制御信号281、282、283が発生される。

【0005】DRAMインターフェース仕様は、汎用DRAMの場合には規格統一された外部仕様に従う。混載DRAMの場合でも、ロジック側のメモリインターフェースIPの再利用などの設計工数削減のために、汎用DRAMのインターフェースであるシンクロナスDRAMインターフェースに準ずるインターフェース仕様とする場合が多い。そのため内部制御回路やタイミング発生回路も前記したような回路を主に使用していた。

【0006】図11、図12に、リードもしくはライトの1コマンドでアクセス可能なインターフェース仕様(SRAMインターフェース仕様)を持つ混載DRAMコアの動作タイミングを示す。また、図13、図14に、アクティブコマンドとリードコマンドもしくはライトコマンドの2コマンドでアクセス(1クロック目でRASアクティブ、2クロック目でColumn(Write)アクティブ&RASリセット)ができるインターフェース仕様(SRAMインターフェースに近い仕様)を持つ混載DRAMコアの動作タイミングを示す。

【0007】

【発明が解決しようとする課題】しかしながら、LSIの性能を最大限に引き出そうとする場合に、インターフェースタイミングをロジック側の要求に合わせた形で実現しようとした場合、これまでのDRAM内部動作では、外部仕様との不整合が生じ、動作性能に大幅ダウンや、仕様に対する設計マージン不足によりプロセスばらつきなどにセンシティブになり、大幅な歩留り低下を生じる可能性がある。すなわち内部非同期タイミングで動作する同期型DRAMコアにおいて、アクセスメモリーセル位置、プロセスばらつきや電圧及び温度マージンを考慮したワード線リセットタイミングに関し、ワースト条件(トランジスタTd最小、配線抵抗最大、低電圧、高温)とベスト条件(トランジスタTd最大、配線抵抗最小、高電圧、低温)との間で、各動作タイミングマージン設定のミスマッチが起こるという課題があった。

【0008】例えば、図11、図12、図13、図14に示した動作タイミングにおいては、ワード線リセット及びビット線プリチャージ開始がライトコマンドからの非同期タイミングで定義され、かつビット線プリチャージ終了及び次サイクル開始が外部RASタイミングで規定されるために、タイミング発生回路内の遅延回路とビット線増幅及びプリチャージ等のアレイ動作との間の遅延特性(電圧、温度依存性)の差が非常に大きいことにより、図11、図13に示すように、ワースト条件でビット線プリチャージ時間が不足もしくはマージナルになる。そこでこのワースト条件のビット線プリチャージ時間を確保するようにタイミングを設定すると、今度は図12、図14に示すように、ベスト条件で書き込み時のリストア時間が十分に確保できない。よって動作周波数が低下してしまい、製造時のプロセスばらつき等により動作マージン不足になり歩留りの低下を引き起こすことにな

なる。

【0009】本発明はかかる点に鑑み、DRAMの内部動作タイミングに関して十分なマージンを確保し、外部仕様のタイミングとの不整合をなくし最大限の性能を引き出すことや、製造時のプロセスばらつきによる歩留り低下を防ぐことができる半導体記憶装置を提供することにある。

【0010】

【課題を解決するための手段】前記の目的を達成するために、本発明では、半導体記憶装置において、内部動作タイミング発生に関して制御対象の回路の特性を反映させて動作させることとしている。

【0011】本発明の請求項1に記載の半導体記憶装置は、複数のワード線と、複数のビット線を含むメモリセルアレイと、前記ワード線を駆動するロウデコーダと、前記ビット線のレベルを検知増幅するセンスアンプと、前記ロウデコーダおよび前記センスアンプの動作タイミングを制御するタイミング発生回路とを備え、前記タイミング発生回路はビット線増幅遅延と同等の遅延回路を有することを特徴とする。

【0012】本発明の請求項2に記載の半導体記憶装置は、前記タイミング発生回路が、外部制御信号が入力される組合せ論理回路の出力に応答して動作することを特徴とする。

【0013】これらの構成によって、ビット線の動作に合わせた最適のタイミングで半導体記憶装置の内部動作タイミングを制御することができる。

【0014】本発明の請求項3に記載の半導体記憶装置は、請求項1記載の半導体記憶装置において、前記遅延回路が、ビット線及びその他のセンスアンプ動作に係る負荷と等価な負荷素子及びその負荷素子を駆動するドライバを有することを特徴とする。

【0015】本発明の請求項4に記載の半導体記憶装置は、請求項3記載の半導体記憶装置において、前記遅延回路の負荷素子として、前記メモリーセルアレイ部に形成されたレプリカビット線を用いることを特徴とする。

【0016】本発明の請求項5に記載の半導体記憶装置は、請求項4記載の半導体記憶装置において、前記レプリカビット線が、前記ビット線と同時に形成され、前記ビット線の場合と同数のワード線と交差し、かつ同数のメモリセルが接続されることを特徴とする。

【0017】本発明の請求項6に記載の半導体記憶装置は、請求項5記載の半導体記憶装置において、前記レプリカビット線を駆動するドライバとして、通常のセンスアンプと同様に形成されたレプリカセンスアンプを用いることを特徴とする。

【0018】これらの構成によって、より正確に、半導体記憶装置の内部動作タイミングをビット線の動作に合わせることができる。

【0019】本発明の請求項7に記載の半導体記憶装置

は、請求項5記載の半導体記憶装置において、前記レプリカビット線が、メモリセル形成マージンやメモリセルアレイとその周辺回路との段差を緩和するダミーメモリセルアレイ領域に形成されるものであることを特徴とする。

【0020】この構成によれば、チップ面積を増大させることなく本発明のタイミング制御回路を実現することができる。

【0021】本発明の請求項8に記載の半導体記憶装置は、請求項4記載の半導体記憶装置において、前記レプリカビット線のレベルを検知して前記ロウデコーダおよび前記センスアンプの動作タイミングを制御するためのレベル検知回路をさらに備え、前記レベル検知回路は、スレッシュホールド電圧を高く設定したインバータであることを特徴とする。

【0022】本発明の請求項9に記載の半導体記憶装置は、請求項8記載の半導体記憶装置において、前記スレッシュホールド電圧をメモリセル書き込み電圧の85%以上に設定することを特徴とする。

【0023】これらの構成によれば、ビット線のレベルが十分なレベルに達するタイミングに合わせて、半導体記憶装置の内部動作タイミングを最適に制御することができる。

【0024】本発明の請求項10に記載の半導体記憶装置は、請求項4記載の半導体記憶装置において、前記レプリカビット線のレベルを検知して前記ロウデコーダおよび前記センスアンプの動作タイミングを制御するためのレベル検知回路をさらに備え、前記レベル検知回路は、前記レプリカビット線の出力とリファレンス電圧が入力する差動增幅回路を有することを特徴とする。

【0025】この構成によれば、ビット線のレベルをさらに精度良く検知することができる。

【0026】本発明の請求項11に記載の半導体記憶装置は、請求項10記載の半導体記憶装置において、前記レベル検知回路が、負荷素子として複数のレプリカビット線を用い、リファレンス電圧を下げてレベル検知することを特徴とする。

【0027】この構成によれば、低いリファレンス電圧を用いて検知回路を構成することができる。

【0028】本発明の請求項12に記載の半導体記憶装置は、請求項4記載の半導体記憶装置において、前記メモリセルアレイを複数有し、前記タイミング発生回路を各メモリセルアレイ毎に設け、各メモリセルアレイ毎にタイミングを設定することを特徴とする。

【0029】この構成によれば、全てのアレイのビット線動作タイミングを包含するタイミングをマージンを持って発生させる必要がなく、ビット線の動作に合わせた最適のタイミングで半導体記憶装置を制御することができる。

【0030】

【発明の実施の形態】以下本発明の実施の形態について、図面を参照しながら説明する。

【0031】図1に本発明の一実施の形態に係るDRAMコアのブロック構成図を示す。図1において、1はメモリセルがマトリックス状に配置されたメモリセルアレイ、2は前記メモリセルアレイの行方向の選択を行うロウデコーダブロック、3はロウデコーダ2により行方向に選択されたメモリセルのデータを検知增幅し、メモリセルへ書き込みするセンスアンプブロック、5はRAS等の外部制御信号、アドレス、データなど、外部との信号の入出力や外部制御信号やアドレスよりDRAM内部の制御信号を生成する周辺回路、4は周辺回路で生成された内部制御信号を受けてロウデコーダブロック2及びセンスアンプブロック3を制御するアレイ制御回路である。

【0032】図2に周辺回路5の部分に配置されるタイミング発生回路を示す。図2に示すように、タイミング発生回路6へは、外部制御信号RAS、CAS、WE、CLK等が入力し前記DRAM内部の一群の制御信号28を生成する。

【0033】図3は、以上のように構成された半導体記憶装置のタイミング発生回路6の詳細な構成を示す。図3において、12は組合せ論理回路7で発生したDRAM制御信号のベースとなる信号を受信し遅延回路をドライブするドライバ、13は負荷容量で、ビット線負荷を除くセンスアンプ動作に係るクリティカル信号バスの負荷容量に相当する。14は等長配線負荷でビット線と同等の負荷である。15はドライバ12、負荷容量13、等長配線負荷14からなるビット線遅延回路である。

【0034】以上のように構成された半導体記憶装置における動作及び詳細構成を説明する。

【0035】まず複数のワード線と、複数のビット線よりなるメモリーセルアレイ1を備えた半導体記憶装置に対して、外部制御信号RAS、CAS、WE、CLK等が入力された後、タイミング発生回路6へ転送され前記DRAM内部の制御信号28を生成する。この内部制御信号28の内、ビット線遅延回路15で生成される内部制御信号284は、周辺回路で生成された内部制御信号を受けてロウデコーダブロック2及びセンスアンプブロック3を制御するアレイ制御回路4に転送され、ワード線を駆動するロウデコーダ2とビット線のレベルを検知増幅するセンスアンプ3の動作タイミングを制御する。

【0036】内部非同期タイミングで動作する同期型DRAMコア、特に1コマンドでアクセス可能なSRAMインターフェース仕様、もしくは2コマンドでアクセスができるインターフェース仕様で動作するDRAMコアの、ワード線リセット、センスアンプリセット及びビット線プリチャージタイミングに関し、本発明を適用した場合について考える。ベスト条件(トランジスタId最大、配線抵抗最小、高電圧、低温)時に、書き込み時のリ

ストア時間を十分に確保するために、ライトコマンドからの非同期タイミング定義を前記ビット線遅延回路15でビット線増幅時間へ合わせ込みを行う。ビット線遅延回路15は、ビット線増幅遅延と同等の遅延回路から構成されるので、ワースト条件（トランジスタ I_d 最小、配線抵抗最大、低電圧、高温）時にも、ビット線がほぼフルスイングした時点でリセットをかけることができ、従来の遅延回路に比較して早くワード線リセット及びビット線プリチャージ開始をするようになる。それによってプリチャージ時間不足等を回避することができ、動作周波数の低下や、製造時のプロセスばらつき等による動作マージン不足に起因する歩留りの低下を防ぐことができる。

【0037】さらに、ビット線増幅遅延と同等の遅延回路を、メモリセル構造を持ちビット線と同一特性を有する負荷素子、及びこの負荷素子をビット線を増幅するセンスアンプ3と同一デバイスサイズで、タイミング発生回路6で発生される内部制御信号、もしくはこの内部制御信号をもとにアレイ制御回路4で生成される制御信号で駆動されるドライバから構成することにより、さらに精度良くDRAMアレイのタイミングを制御し、外部仕様とのミスマッチによる内部タイミングマージン不足を解消することができる。

【0038】図4は、そのように構成した半導体記憶装置の、タイミング発生回路を含むブロック構成図を示す。図4において、図1、図2、図3と同一の機能を有するものは同一の番号を付与し説明を省略する。29は内部制御信号（Internal RAS）で外部制御信号RAS、CAS、WE等から生成され、アレイ制御回路4に入力される。16はレプリカセンスアンプで、通常のセンスアンプと同一形状をしており、内部制御信号29によりアレイ制御回路4で発生される制御信号で駆動される。17はレプリカビット線で、通常のビット線と同時に形成され、また同一の構造を持ち、メモリセル、ワード線との配置関係も同一のものである。18はレベル検知回路でレプリカビット線のレベルを検知して、タイミング発生回路6へフィードバックする。

【0039】以上のように構成された本発明の一実施の形態に係る半導体記憶装置における動作及び詳細構成を説明する。

【0040】図5、図6は、それぞれ、以上説明したように構成した2コマンドアクセスタイプDRAMコアのワースト条件時、ベスト条件時のタイミングチャートである。また、図7、図8は、それぞれ、以上説明したように構成した1コマンドアクセスタイプDRAMコアのワースト条件時のタイミングチャート、ベスト条件時のタイミングチャートである。

【0041】外部制御信号RAS、CAS、WE等から生成される内部制御信号29（Internal RAS）は、図5、図6、図7、図8に示すようにACTコ

マンド（例えば、RAS "H" 遷移、CAS及びWE "L" 保持のステート）により起動される。前記したように内部制御信号29はメモリセルアレイ部のロウデコーダブロック2とセンスアンプブロック3の交点にあるアレイ制御回路4に入力し、ワード線駆動、センスアンプ駆動、ビット線プリチャージなどの制御を行う制御信号を発生する。ここで内部制御信号29のリセットは、従来、周辺回路5のタイミング発生回路6で電圧や温度依存性など遅延特性の異なる遅延回路を用いて設定していたが、本発明では内部制御信号29に応答してレプリカセンスアンプ16を駆動することでレプリカビット線17を "H" 駆動し、レベル検知回路18がレプリカビット線17のレベルを検知し、その結果をもって設定する。

【0042】ここでレプリカビット線検知レベルは、メモリセルへの書き込みを十分に行いリテンション時間を最大にするために、書き込み電圧の85%以上に設定するのが望ましいが、動作周波数やリフレッシュ間隔の仕様によっては85%以下に設定することも可能である。また前記レベル検知回路18は内部制御信号の送信回路に相当するもので、スレッシュホールド電位を高く設定したインバータでもよいが、前記レプリカビット線17のレベルと別途発生させたリファレンス電圧が入力する差動増幅回路とドライバから構成してもよい。さらに負荷素子として複数のレプリカビット線を用い、駆動するレプリカセンスアンプ数をレプリカビット線数より少なくすることで、書き込み電圧の85%以上を確保しつつ、リファレンス電圧を下げてレベル検知してもよい。

【0043】以上のように、通常のビット線やセンスアンプと全く同一構成、形状の遅延回路を有するので、内部非同期タイミングで動作する同期型DRAMコア、特に1コマンドでアクセス可能なSRAMインターフェース仕様、もしくは2コマンドでアクセスができるインターフェース仕様のランダムアクセスタイミングにおいて、さらに高精度にタイミングを設定することができる。具体的な動作タイミングは、図5、図6、図7、図8に示すように、ワード線リセット、センスアンプリセット及びビット線プリチャージのタイミングがビット線の書き込みレベルによって設定されるので、ベスト条件時の書き込み時のリストア時間、及びワースト条件時のビット線プリチャージ時間を十分に確保することができ、動作周波数の低下や、製造時のプロセスばらつき等による動作マージン不足に起因する歩留りの低下を防ぐことができる。

【0044】レプリカビット線17をメモリセルアレイに新たに付加するとDRAMチップやDRAMコアの面積が大きくなってしまうことが懸念される。しかし、微細プロセスにおいては、メモリセル形成マージンやメモリセルアレイとその周辺回路との段差を緩和するダミーメモリセルアレイ領域（数本のダミーワード線と数本の

ダミービット線）を設けている。そこでこのダミービット線をレプリカビット線として使用できるように同一形状のレイアウトにすることで、面積オーバーヘッドなし（追加素子なし）で遅延素子を形成することができる。勿論ワード線との関係は通常のビット線と同一で良いことは言うまでもない。

【0045】以上の説明では、DRAMコアは単一のメモリセルアレイから成るものとして説明をしたが、複数のメモリセルアレイを有するDRAMコアに対しても同様に本発明を適用できることは明らかである。その場合、レプリカビット線を一部のメモリセルアレイにのみ形成するよう構成することも可能であるし、全てのメモリセルアレイに形成することも可能である。

【0046】図9は複数のメモリセルアレイを持つ半導体記憶装置に本発明を適用した場合のブロック構成図であり、全てのメモリセルアレイにレプリカビット線を形成した場合を示している。

【0047】図9において、図1、図4と同一の機能を有するものには同一の符号を付与し説明を省略する。

【0048】19は外部制御信号RAS等が入力し、コマンドを発生させるコマンド入力回路、RASCMDはコマンド入力回路19で発生されたコマンドの内、RASで起動されるコマンド信号である。複数のメモリセルアレイを持つDRAMコアにおいては、アレイ制御回路4と共にタイミング発生回路6を各メモリセルアレイのセンスアンプ列とロウデコーダ行の交点に配置し、コマンド信号RASCMDを入力する。このように各アレイ毎にタイミングを設定することによりアクセスされるアレイ位置ごとにタイミングを設定することが可能になり、全てのアレイのタイミングを包含するタイミングを設定によりオーバーマージンになり動作周波数に制限がかかるなどを防ぐことができる。

【0049】

【発明の効果】以上説明したように本発明によれば、DRAMの内部動作タイミングに関して十分なマージンを確保し、外部仕様のタイミングとの不整合をなくし最大限の性能を引き出すことができ、動作周波数を高くすることができる。また製造時のプロセスばらつき等によるデバイス特性の変化による半導体メモリー回路部の特性の劣化による、DRAMチップやシステムLSIの歩留り低下を防ぐことができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る半導体記憶装置のブロック構成図

【図2】本発明の一実施の形態に係る半導体記憶装置のタイミング発生回路を示す図

【図3】本発明の一実施の形態に係る半導体記憶装置のタイミング発生回路の構成の一例を示す図

【図4】本発明の一実施の形態に係るレプリカビット線

を用いた半導体記憶装置のブロック構成図

【図5】本発明の一実施の形態に係る2コマンドアクセスタイルの半導体記憶装置におけるワースト条件時のタイミングを示す図

【図6】本発明の一実施の形態に係る2コマンドアクセスタイルの半導体記憶装置におけるベスト条件時のタイミングを示す図

【図7】本発明の一実施の形態に係る1コマンドアクセスタイルの半導体記憶装置におけるワースト条件時のタイミングを示す図

【図8】本発明の一実施の形態に係る1コマンドアクセスタイルの半導体記憶装置におけるベスト条件時のタイミングを示す図

【図9】本発明の一実施の形態に係る複数のメモリセルアレイを有する半導体記憶装置のブロック構成図

【図10】従来の半導体記憶装置のタイミング発生回路の構成を示す図

【図11】従来の1コマンドアクセスタイルの半導体記憶装置におけるワースト条件時のタイミングを示す図

【図12】従来の1コマンドアクセスタイルの半導体記憶装置におけるベスト条件時のタイミングを示す図

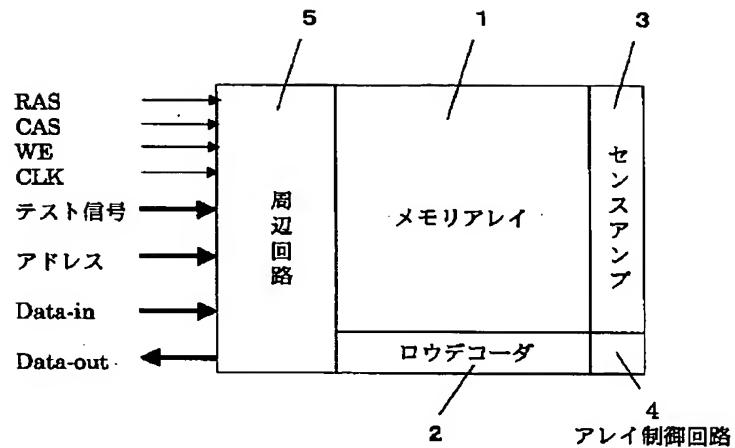
【図13】従来の2コマンドアクセスタイルの半導体記憶装置におけるワースト条件時のタイミングを示す図

【図14】従来の2コマンドアクセスタイルの半導体記憶装置におけるベスト条件時のタイミングを示す図

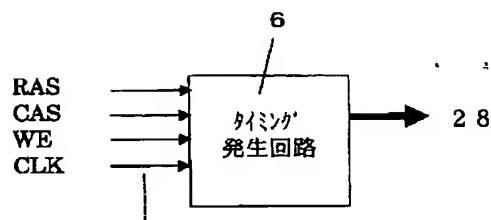
【符号の説明】

- 1 メモリセルアレイ
- 2 ロウデコーダ
- 3 センスアンプ
- 4 アレイ制御回路
- 5 周辺回路
- 6 タイミング発生回路
- 7 組合せ論理回路
- 8 RC型遅延回路
- 9 インバータチェーン型遅延回路
- 11 送信回路
- 12 ドライバ
- 13 負荷容量
- 14 等長配線負荷
- 15 ビット線遅延回路
- 16 レプリカセンスアンプ
- 17 レプリカビット線
- 18 レベル検知回路
- 19 コマンド入力回路
- 28 内部制御信号
- 29 内部制御信号 (Internal RAS)
RAS、CAS、WE、CLK 外部制御信号
RASCMD コマンド信号

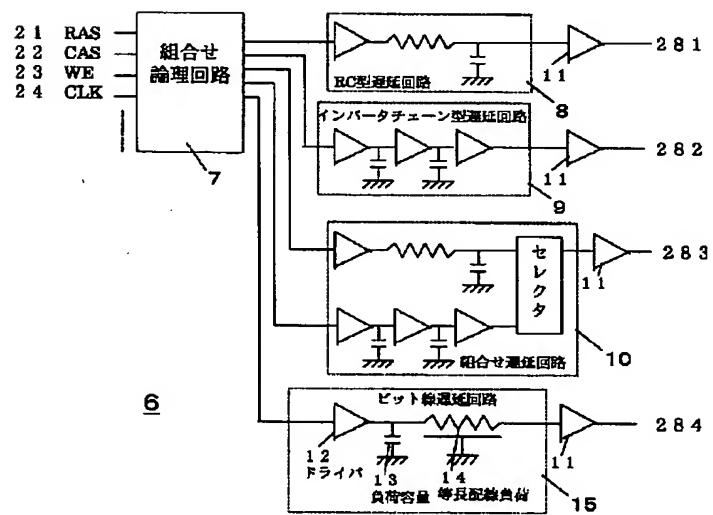
【図1】



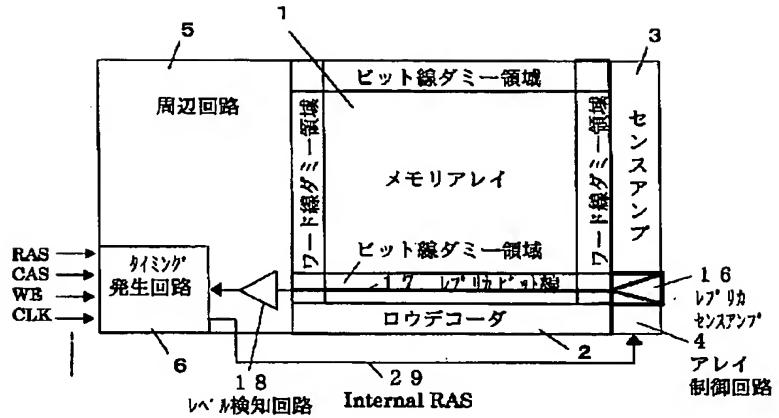
【図2】



【図3】

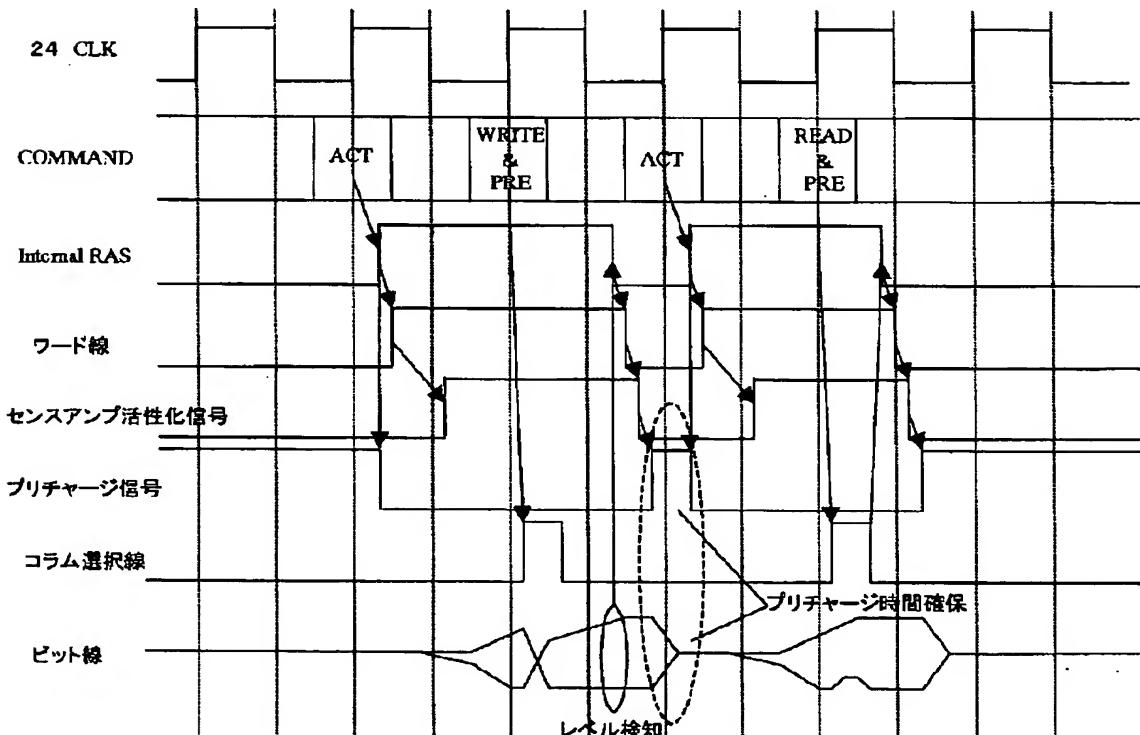


【図4】



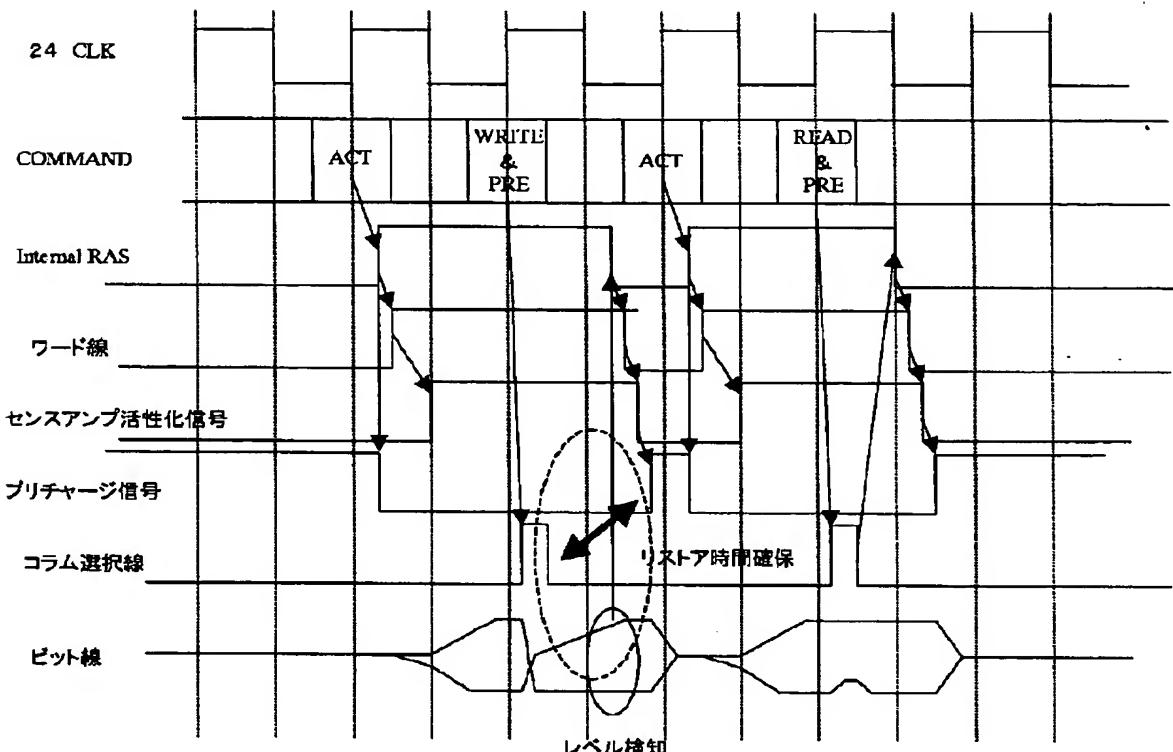
【図5】

2コマンドアクセスタイプDRAMコア タイミングチャート(ワースト条件)

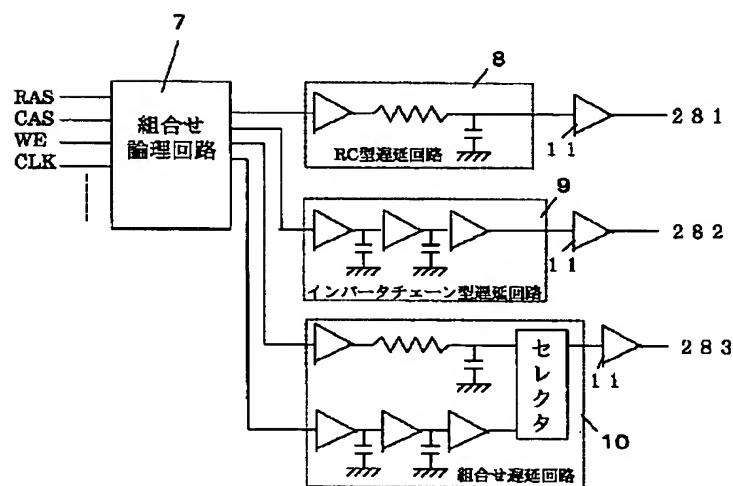


【図6】

2コマンドアクセスタイプDRAMコア タイミングチャート(ベスト条件)

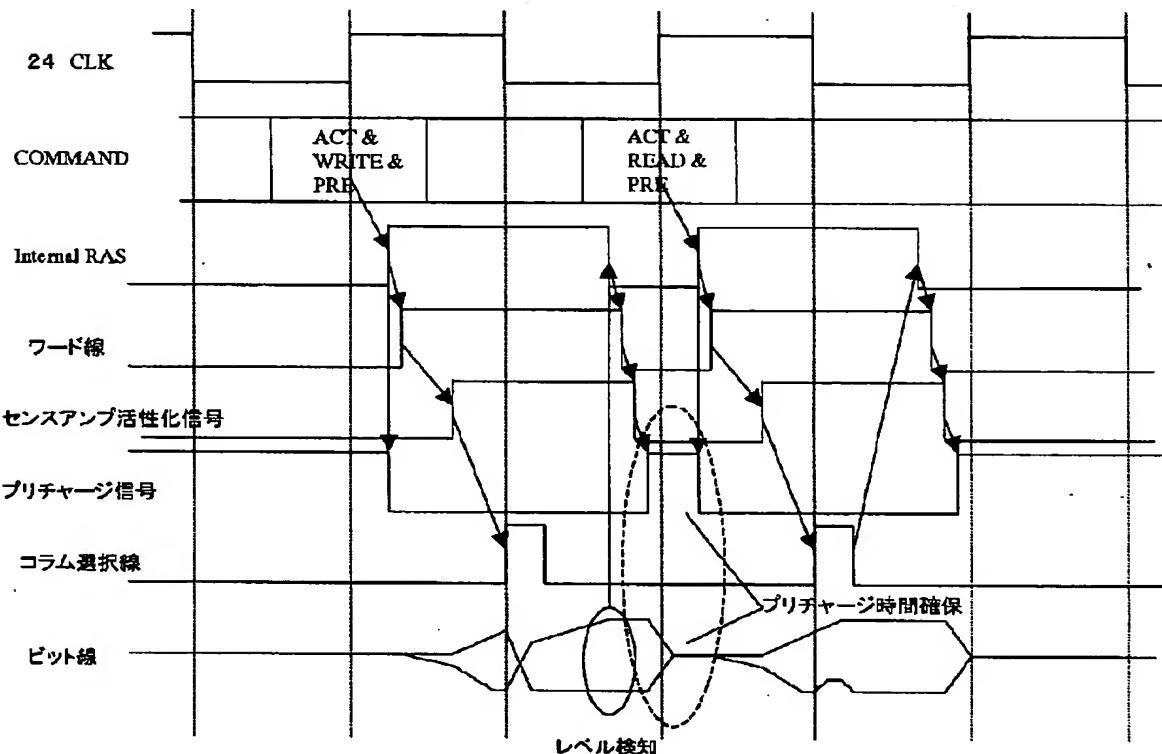


【図10】



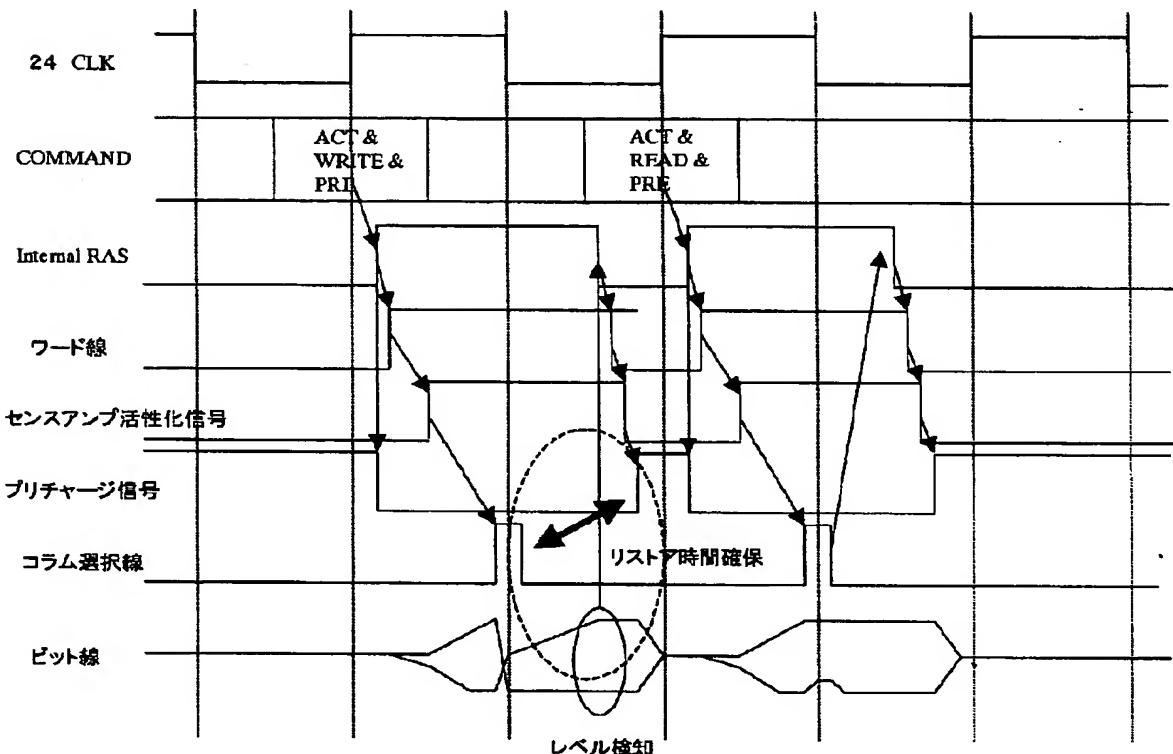
【図7】

1コマンドアクセスタイプDRAMコア タイミングチャート(ワースト条件)

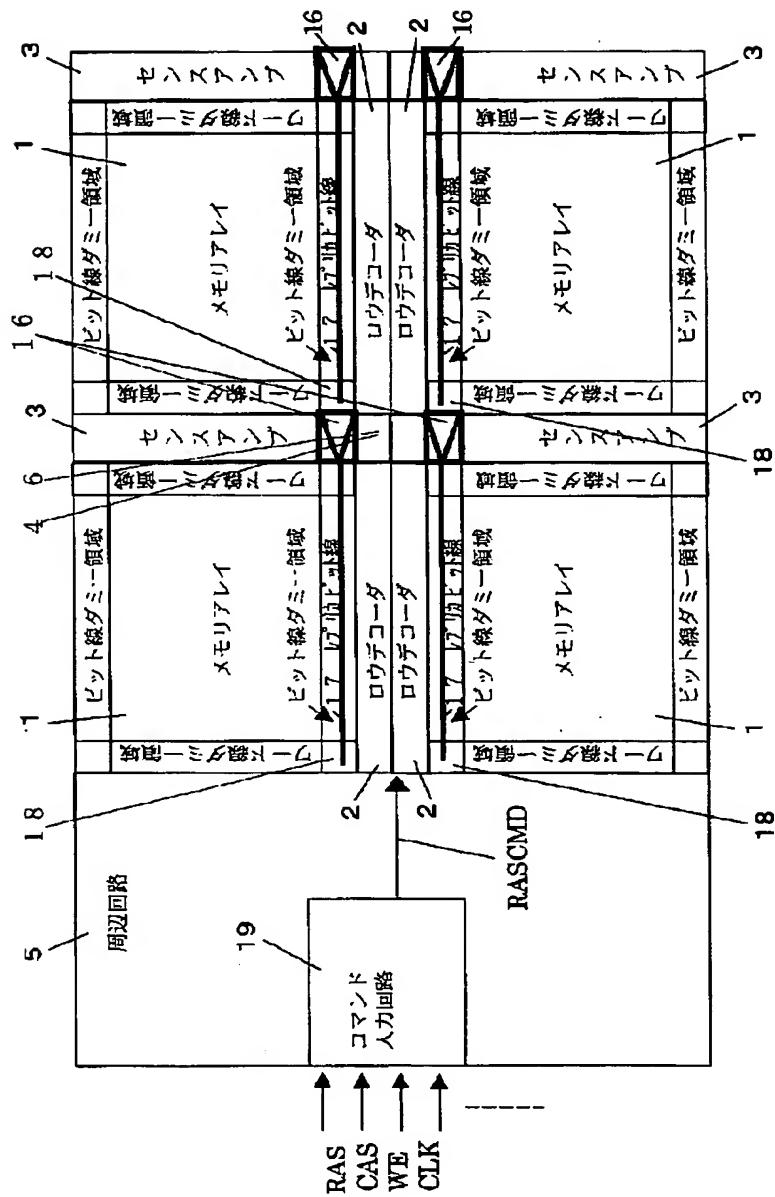


【図8】

1コマンドアクセスタイプDRAMコア タイミングチャート(ベスト条件)

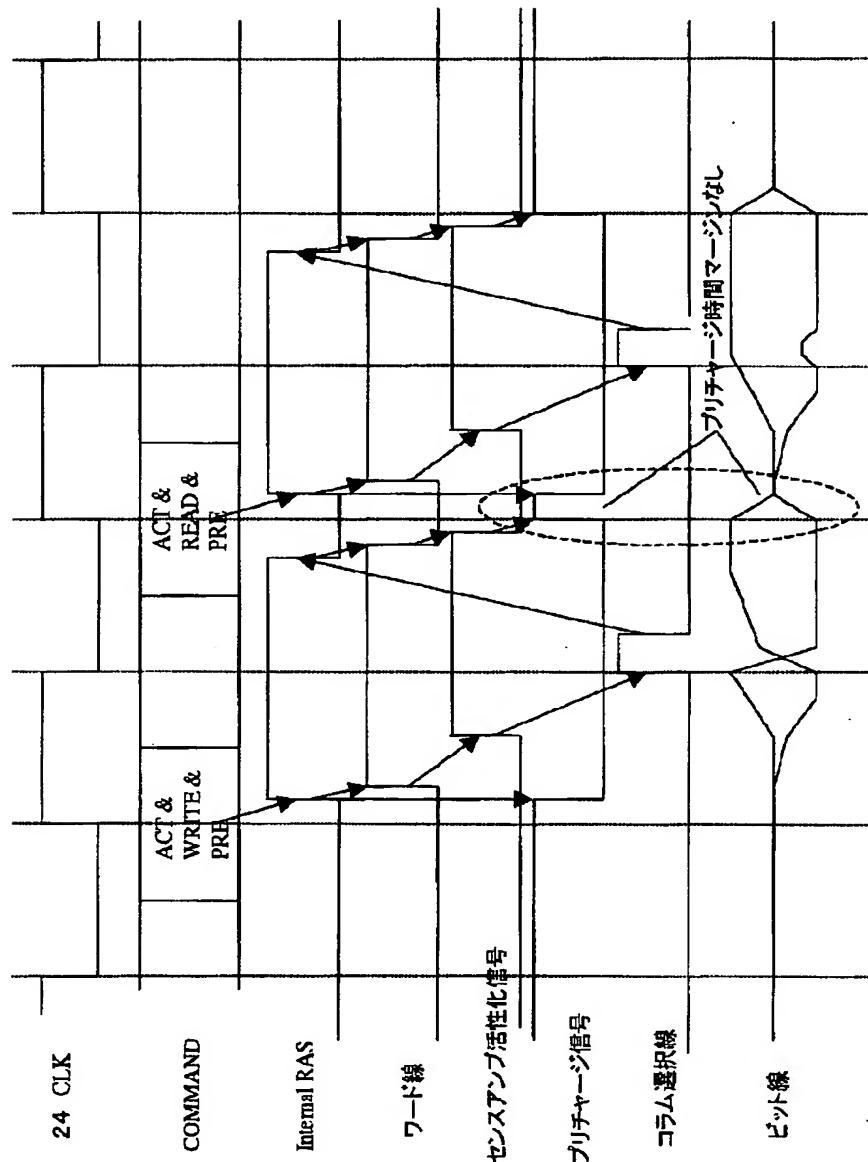


【図9】



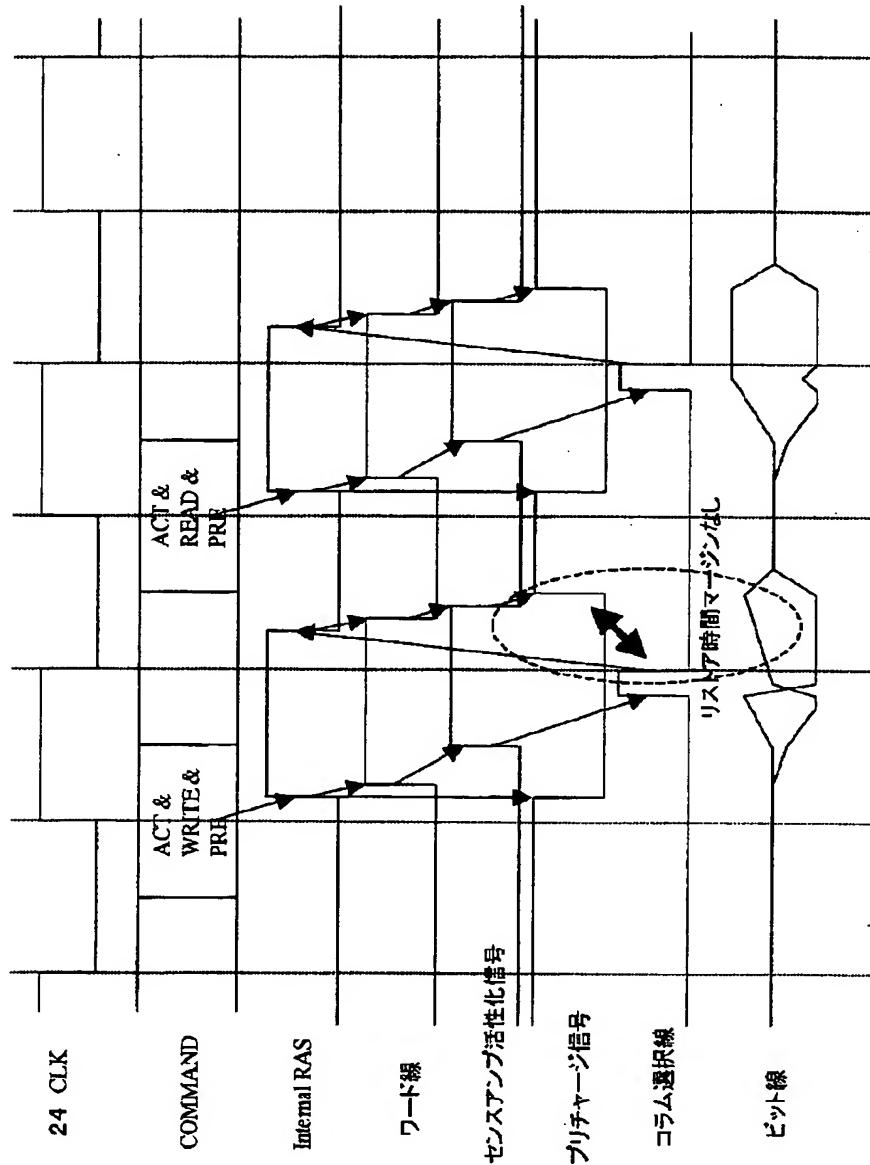
【図11】

1コマンドアクセスDRAMコア タイミングチャート(ワースト条件)



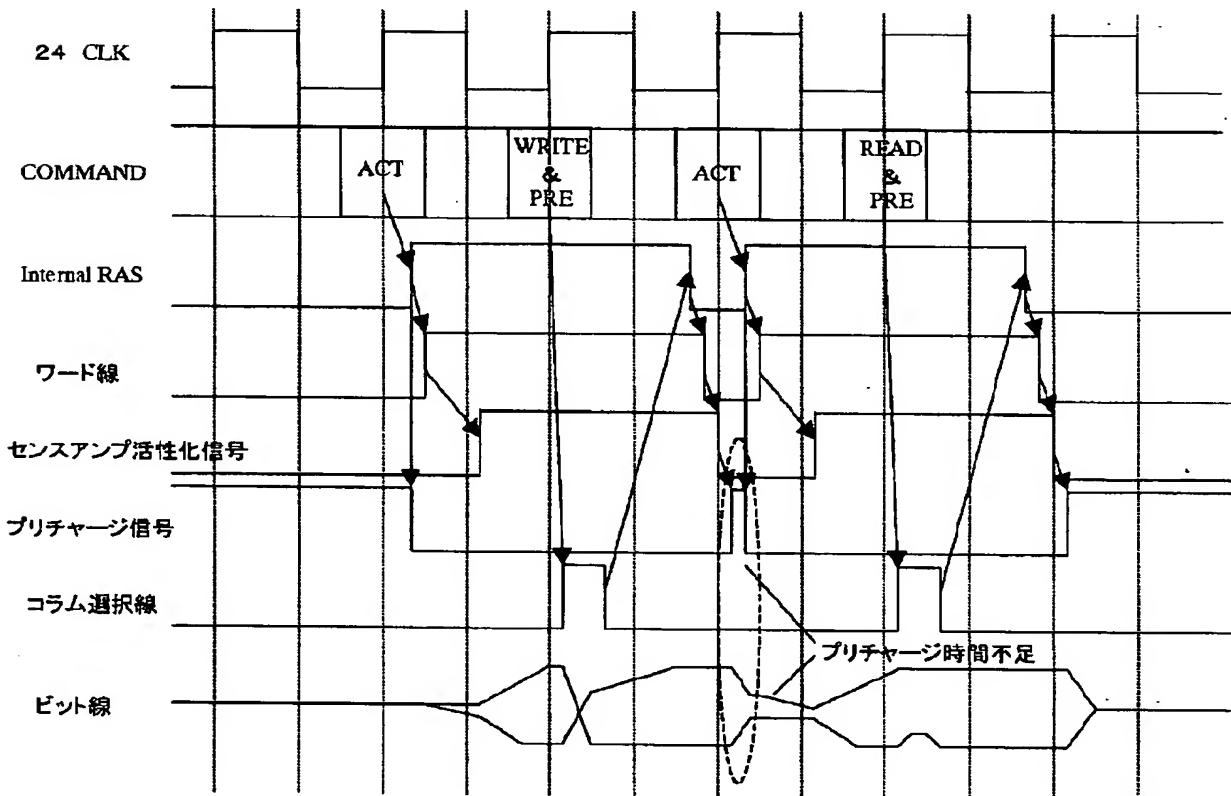
【図12】

1コマンドアクセスDRAMコア タイミングチャート(ベスト条件)



【図13】

2コマンドアクセスタイプDRAMコア タイミングチャート(ワースト条件)



【図14】

2コマンドアクセスタイプDRAMコア タイミングチャート(ベスト条件)

